

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

DIALOG(R)File 345:lnpadoc/Fam.& Legal Stat

(c) 2003 EP0. All rts. reserv.

17307974

Basic Patent (No,Kind,Date): JP 2001264804 A2 20010926 <No. of Patents:
002>

LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURING METHOD (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI; HIRAKATA YOSHIHARU

IPC: *G02F-001/1368; G02F-001/1345; G09F-009/30; H01L-029/786; H01L-021/336

Derwent WPI Acc No: G 02-284399

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2001264804	A2	20010926	JP 200073577	A	20000316 (BASIC)
TW 519767	B	20030201	TW 90105343	A	20010307

Priority Data (No,Kind,Date):

JP 200073577 A 20000316

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

07037170 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURING METHOD

PUB. NO.: 2001-264804 [JP 2001264804 A]

PUBLISHED: September 26, 2001 (20010926)

INVENTOR(s): YAMAZAKI SHUNPEI

HIRAKATA YOSHIHARU

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2000-073577 [JP 200073577]

FILED: March 16, 2000 (20000316)

INTL CLASS: G02F-001/1368; G02F-001/1345; G09F-009/30; H01L-029/786;
H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To reduce the number of the processes for manufacturing a TFT and to realize reduction of the manufacturing cost and the improvement in the yield in the liquid crystal display device of an IPS system.

SOLUTION: The bottom gate TFT structure of a channel and etch type is adopted, and the patterning of a source area 119 and a drain area 120 and the patterning of source wiring 121 and a pixel electrode 122 are performed by the same photomask.

COPYRIGHT: (C) 2001, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-264804

(P 2 0 0 1 - 2 6 4 8 0 4 A)

(43) 公開日 平成13年9月26日 (2001. 9. 26)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G02F 1/1368		G02F 1/1345	2H092
1/1345		G09F 9/30	338 5C094
G09F 9/30	338	G02F 1/136	500 5F110
H01L 29/786		H01L 29/78	612 D
21/336			627 C
審査請求 未請求 請求項の数19 O L (全20頁)			

(21) 出願番号 特願2000-73577(P 2000-73577)

(22) 出願日 平成12年3月16日 (2000. 3. 16)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 平形 吉晴

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

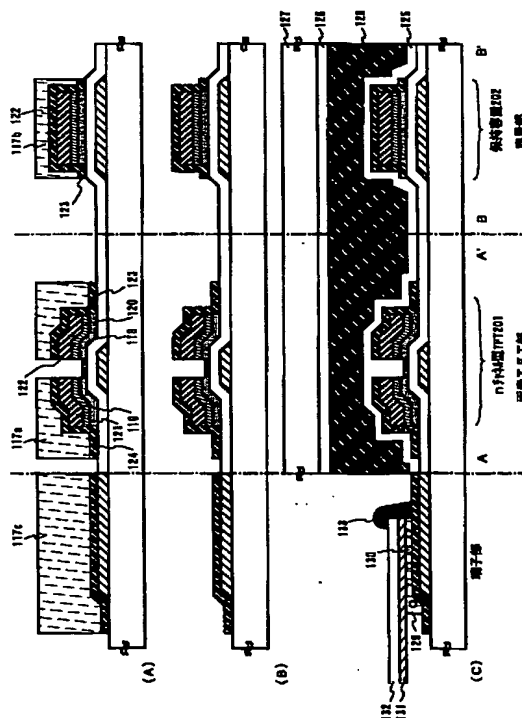
最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその作製方法

(57) 【要約】

【課題】 IPS方式の液晶表示装置において、TFTを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現する。

【解決手段】 本発明では、チャンネル・エッチ型のボトムゲートTFT構造を採用し、ソース領域119及びドレイン領域120のパターニングとソース配線121及び画素電極122のパターニングを同じフォトマスクで行うことを特徴とする。



【特許請求の範囲】

【請求項 1】 一对の基板と、前記一对の基板間に保持された液晶とを備えた液晶表示装置であって、前記一对の基板の一方の基板には、ゲート配線及び共通電極と、

前記ゲート配線及び共通電極上に絶縁膜と、

前記絶縁膜上に非晶質半導体膜と、

前記非晶質半導体膜上にソース領域及びドレイン領域と、

前記ソース領域または前記ドレイン領域上にソース配線または画素電極が形成され、

前記画素電極と共通電極とは、前記一方の基板面と平行な電界が生じるように配置され、

前記ドレイン領域または前記ソース領域の一つの端面は、前記非晶質半導体膜の端面及び前記画素電極の端面と概略一致することを特徴とする液晶表示装置。

【請求項 2】 一对の基板と、前記一对の基板間に保持された液晶とを備えた液晶表示装置であって、

前記一对の基板の一方の基板には、ゲート配線及び共通電極と、

前記ゲート配線及び共通電極上に絶縁膜と、

前記絶縁膜上に非晶質半導体膜と、

前記非晶質半導体膜上にソース領域及びドレイン領域と、

前記ソース領域または前記ドレイン領域上にソース配線または画素電極が形成され、

前記画素電極と共通電極とは、前記一方の基板面と平行な電界が生じるように配置され、

前記ドレイン領域または前記ソース領域の一つの端面は、前記非晶質半導体膜の端面及び前記画素電極の端面と概略一致し、もう一つの端面は、前記ソース配線の端面と概略一致することを特徴とする液晶表示装置。

【請求項 3】 一对の基板と、前記一对の基板間に保持された液晶とを備えた液晶表示装置であって、

前記一对の基板の一方の基板には、ゲート配線及び共通電極と、

前記ゲート配線及び共通電極上に絶縁膜と、

前記絶縁膜上に非晶質半導体膜と、

前記非晶質半導体膜上にソース領域及びドレイン領域と、

前記ソース領域または前記ドレイン領域上にソース配線または画素電極が形成され、

前記画素電極と共通電極とは、前記一方の基板面と平行な電界が生じるように配置され、

前記ソース配線の下方には、前記非晶質半導体膜と、n 型を付与する不純物元素を含む非晶質半導体膜とが積層されていることを特徴とする液晶表示装置。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、n 型を付与する不純物元素を含む非晶質半導体膜からなることを特徴と

する液晶表示装置。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、及び前記ドレイン領域は、大気に曝されることなく連続的に形成されたことを特徴とする液晶表示装置。

【請求項 6】 請求項 1 乃至 5 のいずれかにおいて、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、または前記ドレイン領域は、スパッタ法により形成されたことを特徴とする液晶表示装置。

【請求項 7】 請求項 1 乃至 5 のいずれかにおいて、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、または前記ドレイン領域は、プラズマ CVD 法により形成されたことを特徴とする液晶表示装置。

【請求項 8】 請求項 1 乃至 7 のいずれかにおいて、前記ゲート配線は、Al、Cu、Ti、Mo、W、Ta、Nd または Cr から選ばれた元素を主成分とする膜またはそれらの合金膜またはそれらの積層膜からなることを特徴とする液晶表示装置。

【請求項 9】 請求項 1 乃至 8 のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、前記画素電極と同一のマスクにより形成されたことを特徴とする液晶表示装置。

【請求項 10】 請求項 1 乃至 9 のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、前記ソース配線と同一のマスクにより形成されたことを特徴とする液晶表示装置。

【請求項 11】 請求項 1 乃至 10 のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、前記ソース配線及び前記画素電極と同一のマスクにより形成されたことを特徴とする液晶表示装置。

【請求項 12】 請求項 1 乃至 11 のいずれかにおいて、前記非晶質半導体膜のうち、前記ソース領域及びドレイン領域と接する領域における膜厚は、前記ソース領域と接する領域と前記ドレイン領域と接する領域との間の領域における膜厚より厚いことを特徴とする液晶表示装置。

【請求項 13】 請求項 1 乃至 12 のいずれかにおいて、前記画素電極は透明導電膜で覆われていることを特徴とする液晶表示装置。

【請求項 14】 請求項 1 乃至 13 のいずれかにおいて、前記ソース配線及び前記ソース配線の延長上にある端子は透明導電膜で覆われていることを特徴とする液晶表示装置。

【請求項 15】 請求項 1 乃至 14 のいずれかの記載の前記液晶表示装置を用いたことを特徴とするパーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、または電子遊技機器。

【請求項 16】 絶縁表面上に第 1 のマスクでゲート配線及び共通電極を形成する第 1 工程と、

前記ゲート配線及び共通電極を覆う絶縁膜を形成する第2工程と、

前記絶縁膜上に第1の非晶質半導体膜を形成する第3工程と、

前記第1の非晶質半導体膜上にn型を付与する不純物元素を含む第2の半導体膜を形成する第4工程と、

前記第2の非晶質半導体膜上に第1の導電膜を形成する第5工程と、

第2のマスクで前記第1の非晶質半導体膜をパターンニングし、前記第2のマスクで前記第2の非晶質半導体膜をパターンニングし、前記第2のマスクで前記第1の導電膜をパターンニングして前記第1の導電膜からなる配線を形成する第6工程と、

第3のマスクで前記配線をパターンニングしてソース配線及び画素電極を形成し、前記第3のマスクで前記第2の非晶質半導体膜をパターンニングして前記第2の非晶質半導体膜からなるソース領域及びドレイン領域を形成し、前記第3のマスクで前記第1の非晶質半導体膜の一部除去を行う第8工程と、を有することを特徴とする液晶表示装置の作製方法。

【請求項17】絶縁表面上に第1のマスクでゲート配線及び共通電極を形成する第1工程と、

前記ゲート配線及び共通電極を覆う絶縁膜を形成する第2工程と、

前記絶縁膜上に第1の非晶質半導体膜を形成する第3工程と、

前記第1の非晶質半導体膜上にn型を付与する不純物元素を含む第2の半導体膜を形成する第4工程と、

前記第2の非晶質半導体膜上に第1の導電膜を形成する第5工程と、

第2のマスクで前記第1の非晶質半導体膜をパターンニングし、前記第2のマスクで前記第2の非晶質半導体膜をパターンニングし、前記第2のマスクで前記第1の導電膜をパターンニングして前記第1の導電膜からなる配線を形成する第6工程と、

前記配線と接して重なる第2の導電膜を形成する第7工程と、

第3のマスクで前記第2の導電膜をパターンニングし、前記第2の導電膜からなる電極を形成し、前記第3のマスクで前記配線をパターンニングしてソース配線及び画素電極を形成し、前記第3のマスクで前記第2の非晶質半導体膜をパターンニングして前記第2の非晶質半導体膜からなるソース領域及びドレイン領域を形成し、前記第3のマスクで前記第1の非晶質半導体膜の一部除去を行う第8工程と、を有することを特徴とする液晶表示装置の作製方法。

【請求項18】請求項17において、第2の導電膜は透明導電膜であることを特徴とする液晶表示装置。

【請求項19】請求項16乃至18のいずれか一において、前記画素電極と前記共通電極とは、前記絶縁表面と

平行な電界が生じるように配置することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型の液晶表示装置に関し、特にIPS(In-Plane Switching)方式(＝横電界方式)のアクティブマトリクス型の液晶表示装置に関する。

【0002】

10 【従来の技術】薄膜トランジスタ(TFT)などの能動素子を用いたアクティブマトリクス型の液晶表示装置が知られている。アクティブマトリクス型の液晶表示装置は画素密度を高くすることが可能であり、小型軽量でしかも低消費電力であることから、CRTの代替品としてパーソナルコンピュータのモニタや液晶テレビなどの製品が開発されている。特に、TFTの活性層を多結晶シリコンに代表される結晶質半導体膜で形成する技術は、画素部のスイッチ用TFT(以下、画素TFTと記す)のみならず駆動回路を同一基板上に作り込むことを可能とし、液晶表示装置の小型軽量化に寄与する技術と位置付けられている。

20 【0003】液晶表示装置は一对の基板間に液晶を封入し、一方の基板の画素電極(個別電極)と他方の基板の対向電極(共通電極)との間に印加される基板面にはほぼ垂直な電界により液晶分子を配向させている。しかし、このような液晶の駆動方法では基板面に対して垂直な方向なら見たときは正常な表示状態でも、斜めから見ると色調が変化し不鮮明になってしまうといった視野角が狭いという欠点があった。

30 【0004】この欠点を克服する方法としてIPS方式がある。この方式は画素電極と共通配線との両方を一方の基板に形成し電界を横方向に切り換えることに特徴があり、液晶分子が立ち上がることなく基板面にはほぼ平行な方向に配向を制御している。この動作原理により視野角を広げることが可能となっている。

【0005】

40 【発明が解決しようとする課題】液晶表示装置の用途は広がっており、IPS方式においても画面サイズの大面積化とともに高精細化や高開口率化や高信頼性の要求が高まっている。また、同時に生産性の向上や低コスト化の要求も高まっている。

【0006】生産性を向上させ歩留まりを向上させるためには、工程数を削減することが有効な手段として考えられる。

【0007】具体的には、TFTの製造に要するフォトマスクの枚数を削減することが必要である。フォトマスクは写真蝕刻(フォトリソグラフィ)技術において、エッチング工程のマスクとするフォトレジストパターンを基板上に形成するために用いる。

50 【0008】このフォトマスクを1枚使用することによ

って、レジスト塗布、プレバーク、露光、現像、ポストバークなどの工程と、その前後の工程において、被膜の成膜およびエッチングなどの工程、さらにレジスト剥離、洗浄や乾燥工程などが付加され、煩雑なものとなり、問題となっていた。

【0009】また、基板が絶縁体であるために製造工程における摩擦などによって静電気が発生していた。この静電気が発生すると基板上に設けられた配線の交差部でショートしたり、静電気によってTFTが劣化または破壊されて電気光学装置に表示欠陥や画質の劣化が生じていた。特に、製造工程で行われる液晶配向処理のラビング時に静電気が発生し問題となっていた。

【0010】本発明はこのような問題に答えるものであり、IPS方式の液晶表示装置において、TFTを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現することを課題としている。

【0011】また、静電気によるTFTの破壊やTFTの特性劣化という問題点を解決しうる構造およびその作製方法を提供することを課題としている。

【0012】

【課題を解決するための手段】上記課題を解決するために、本発明では、チャンネル・エッチ型のボトムゲートTFT構造を採用し、ソース領域及びドレイン領域のパターニングとソース配線及び画素電極のパターニングを同じフォトマスクで行うことを特徴とする。

【0013】以下に本発明の作製方法を簡略に説明する。

【0014】まず、第1のマスク（フォトマスク1枚目）でゲート配線102と共通配線103a（及び共通電極103b）を形成する。

【0015】次いで、絶縁膜（ゲート絶縁膜）104a、第1の非晶質半導体膜105、n型を付与する不純物元素を含む第2の非晶質半導体膜106、及び第1の導電膜107を順次、積層形成する。（図2（A））なお、非晶質半導体膜に代えて微結晶半導体膜を用いてもよいし、n型を付与する不純物元素を含む非晶質半導体膜に代えてn型を付与する不純物元素を含む微結晶半導体膜を用いてもよい。さらに、これらの膜（104a、105、106、107）はスパッタ法やプラズマCVD法を用いて複数のチャンバー内または同一チャンバー内で連続的に大気に曝すことなく形成することができる。大気に曝さないようにすることで不純物の混入を防止できる。

【0016】次いで、第2のマスク（フォトマスク2枚目）で上記第1の導電膜107をパターニングして第1の導電膜からなる配線（後にソース配線及び画素電極となる）114を形成し、上記第2の非晶質半導体膜106をパターニングしてn型を付与する不純物元素を含む第2の非晶質半導体膜112を形成し、上記第1の非晶質半導体膜105をパターニングして第1の非晶質半導

体膜110を形成する。（図2（B））

【0017】その後、全面に第2の導電膜116を成膜する。（図2（D））なお、第2の導電膜116としては、透明導電膜を用いてもよいし、反射性を有する導電膜を用いてもよい。この第2の導電膜は、静電破壊の防止、配線の保護、端子部の電気接続のために設けている。

【0018】次いで、第3のマスク（フォトマスク3枚目）で上記第2の導電膜116をパターニングし、上記配線114をパターニングしてソース配線121及び画素電極122を形成し、n型を付与する不純物元素を含む第2の非晶質半導体膜112をパターニングしてn型を付与する不純物元素を含む第2の非晶質半導体膜からなるソース領域119及びドレイン領域120を形成し、上記第1の非晶質半導体膜110を一部除去して第1の非晶質半導体膜118を形成する。（図3（A））

【0019】このような構成とすることで、画素TFT部の作製する際、フォトリソグラフィ技術で使用するフォトマスクの数を3枚とすることができる。

【0020】本明細書で開示する発明の構成は、一対の基板と、前記一対の基板間に保持された液晶とを備えた液晶表示装置であって、前記一対の基板の一方の基板には、ゲート配線102及び共通電極103bと、前記ゲート配線102及び共通電極103b上に絶縁膜104bと、前記絶縁膜上に非晶質半導体膜118と、前記非晶質半導体膜上にソース領域119及びドレイン領域120と、前記ソース領域119または前記ドレイン領域120上にソース配線121または画素電極122が形成され、前記画素電極122と共通電極103bとは、前記一方の基板面と平行な電界が生じるように配置され、前記ドレイン領域120または前記ソース領域119の一つの端面は、前記非晶質半導体膜118の端面及び前記画素電極の122端面と概略一致することを特徴とする液晶表示装置である。

【0021】また、他の発明の構成は、一対の基板と、前記一対の基板間に保持された液晶とを備えた液晶表示装置であって、前記一対の基板の一方の基板には、ゲート配線102及び共通電極103bと、前記ゲート配線102及び共通電極103b上に絶縁膜104bと、前記絶縁膜上に非晶質半導体膜118と、前記非晶質半導体膜118上にソース領域119及びドレイン領域120と、前記ソース領域119または前記ドレイン領域120上にソース配線121または画素電極122が形成され、前記画素電極122と共通電極103bとは、前記一方の基板面と平行な電界が生じるように配置され、前記ドレイン領域120または前記ソース領域119の一つの端面は、前記非晶質半導体膜118の端面及び前記画素電極122の端面と概略一致し、もう一つの端面は、前記ソース配線122の端面と概略一致することを特徴とする液晶表示装置である。

【0022】また、他の発明の構成は、一对の基板と、前記一对の基板間に保持された液晶とを備えた液晶表示装置であって、前記一对の基板の一方の基板には、ゲート配線102及び共通電極103bと、前記ゲート配線102及び共通電極103b上に絶縁膜と、前記絶縁膜上に非晶質半導体膜118と、前記非晶質半導体膜上にソース領域119及びドレイン領域120と、前記ソース領域119または前記ドレイン領域120上にソース配線121または画素電極122が形成され、前記画素電極122と共通電極103bとは、前記一方の基板面と平行な電界が生じるように配置され、前記ソース配線121の下方には、前記非晶質半導体膜118と、n型を付与する不純物元素を含む非晶質半導体膜とが積層されていることを特徴とする液晶表示装置である。

【0023】上記各構成において、前記ソース領域及び前記ドレイン領域は、n型を付与する不純物元素を含む非晶質半導体膜からなることを特徴としている。

【0024】また、上記各構成において、前記ゲート配線102は、Al、Cu、Ti、Mo、W、Ta、NdまたはCrから選ばれた元素を主成分とする膜またはそれらの合金膜またはそれらの積層膜からなることを特徴としている。

【0025】また、上記各構成において、前記ソース領域119及び前記ドレイン領域120は、前記画素電極122と同一のマスクにより形成されたことを特徴としている。また、前記ソース領域119及び前記ドレイン領域120は、前記ソース配線121と同一のマスクにより形成されたことを特徴としている。

【0026】また、上記各構成において、前記非晶質半導体膜のうち、前記ソース領域及びドレイン領域と接する領域における膜厚は、前記ソース領域と接する領域と前記ドレイン領域と接する領域との間の領域における膜厚より厚いことを特徴とする液晶表示装置。

【0027】また、上記各構成において、前記画素電極は透明導電膜で覆われていることを特徴としている。また、前記ソース配線及び前記ソース配線の延長上にある端子は透明導電膜で覆われていることを特徴としている。

【0028】また、上記各構成を実現するための発明の構成は、絶縁表面上に第1のマスクでゲート配線102及び共通電極103b（及び共通配線103a）を形成する第1工程と、前記ゲート配線102及び共通電極103bを覆う絶縁膜104aを形成する第2工程と、前記絶縁膜104a上に第1の非晶質半導体膜105を形成する第3工程と、前記第1の非晶質半導体膜105上にn型を付与する不純物元素を含む第2の半導体膜106を形成する第4工程と、前記第2の非晶質半導体膜106上に第1の導電膜107を形成する第5工程と、第2のマスクで前記第1の非晶質半導体膜105をパターニングし、前記第2のマスクで前記第2の非晶質半導体

膜106をパターニングし、前記第2のマスクで前記第1の導電膜107をパターニングして前記第1の導電膜からなる配線114を形成する第6工程と、第3のマスクで前記配線114をパターニングしてソース配線121及び画素電極122を形成し、前記第3のマスクで前記第2の非晶質半導体膜112をパターニングして前記第2の非晶質半導体膜からなるソース領域119及びドレイン領域120を形成し、前記第3のマスクで前記第1の非晶質半導体膜の一部除去を行う第8工程と、を有することを特徴とする液晶表示装置の作製方法である。

【0029】また、上記各構成を実現するための他の発明の構成は、絶縁表面上に第1のマスクでゲート配線102及び共通電極103b（及び共通配線103a）を形成する第1工程と、前記ゲート配線102及び共通電極103bを覆う絶縁膜104aを形成する第2工程と、前記絶縁膜104a上に第1の非晶質半導体膜105を形成する第3工程と、前記第1の非晶質半導体膜上にn型を付与する不純物元素を含む第2の半導体膜106を形成する第4工程と、前記第2の非晶質半導体膜106上に第1の導電膜107を形成する第5工程と、第2のマスクで前記第1の非晶質半導体膜105をパターニングし、前記第2のマスクで前記第2の非晶質半導体膜106をパターニングし、前記第2のマスクで前記第1の導電膜107をパターニングして前記第1の導電膜からなる配線114を形成する第6工程と、前記配線114と接して重なる第2の導電膜116を形成する第7工程と、第3のマスクで前記第2の導電膜116をパターニングし、前記第2の導電膜からなる電極を形成し、前記第3のマスクで前記配線114をパターニングしてソース配線121及び画素電極122を形成し、前記第3のマスクで前記第2の非晶質半導体膜116をパターニングして前記第2の非晶質半導体膜からなるソース領域119及びドレイン領域120を形成し、前記第3のマスクで前記第1の非晶質半導体膜の一部除去を行う第8工程と、を有することを特徴とする液晶表示装置の作製方法である。

【0030】上記構成において、第2の導電膜116は透明導電膜であることを特徴としている。

【0031】また、上記各構成において、前記画素電極と前記共通電極とは、前記絶縁表面と平行な電界が生じるように配置することを特徴としている。

【0032】

【発明の実施の形態】本願発明の実施形態について、以下に説明する。

【0033】図1は本発明におけるIPS方式の画素構成を示す平面図の一例であり、ここでは簡略化のため、マトリクス状に配置された複数の画素のうちの1つの画素構成を示している。また、図2及び図3は作製工程を示す図である。

【0034】図1に示すように、このアクティブマトリ

10

20

30

40

50

クス基板は、互いに平行に配置された複数のゲート配線と、各ゲート配線に直交するソース配線を複数有している。また、ゲート配線と同層に共通配線を複数有している。

【0035】また、ゲート配線102とソース配線121とで囲まれた領域には画素電極122が配置されている。また、この画素電極122を挟むように互いに平行な共通電極103bが2つ配置されている。この画素電極122と共通電極103bとの間に形成される横方向の電界を利用して液晶を駆動させる。また、この共通電極とソース配線との間による光の漏れを低減するために一部重ねて配置してもよい。

【0036】また、ゲート配線102とソース配線121の交差部近傍にはスイッチング素子としてのTFTが設けられている。このTFTは非晶質構造を有する半導体膜（以下、第1の非晶質半導体膜と呼ぶ）で形成されたチャンネル形成領域を有する逆スタガ型のTFT（チャンネル・エッチ型）である。

【0037】また、このTFTは、絶縁性基板上に順次、ゲート電極（ゲート配線102と一体形成された）と、ゲート絶縁膜と、第1の非晶質半導体膜と、n型を付与する不純物元素を含む第2の非晶質半導体膜からなるソース領域及びドレイン領域と、ソース電極（ソース配線121と一体形成された）及び画素電極122とが積層形成されている。

【0038】また、第1の非晶質半導体膜のうち、ソース領域と接する領域とドレイン領域と接する領域との間の領域は、他の領域と比べ膜厚が薄くなっている。膜厚が薄くなったのは、n型を付与する不純物元素を含む第2の非晶質半導体膜をエッチングにより分離してソース領域とドレイン領域とを形成する際、第1の非晶質半導体膜の一部が除去されたためである。また、このエッチングによって画素電極の端面及びドレイン領域の端面が一致している。また、同様にソース領域の端面及びソース配線の端面が一致している。

【0039】また、ソース配線（ソース電極含む）及び画素電極122の下方には、絶縁性基板上に順次、ゲート絶縁膜と、第1の非晶質半導体膜と、n型を付与する不純物元素を含む第2の非晶質半導体膜とが積層形成されている。

【0040】また、共通配線103aと、画素電極122（あるいはn型を付与する不純物元素を含む第2の非晶質半導体膜と、第1の非晶質半導体膜）と、その間に存在する絶縁膜104bとで保持容量を形成している。

【0041】また、ソース配線上に接する透明電極からなる第2の導電膜124と、画素電極に接する透明電極からなる第2の導電膜123は、後の製造工程、特にラビング処理で生じる静電気を防止する役目を果たす。また、この第2の導電膜124は端子部においてFPCとの接続を行う上で電気的な接続を容易なものとしてい

る。

【0042】また、IPS方式は通常、透過型であるが、対向基板を金属基板または誘電体多層膜が形成された絶縁性基板を用い、基板間隔を透過型の半分とすれば、反射型表示装置とすることもできる。

【0043】以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0044】

【実施例】【実施例1】図1～図7を用いて、本発明の実施例を説明する。本実施例は液晶表示装置の作製方法を示し、基板上に画素部のTFTを逆スタガ型（チャンネルエッチ型）で形成し、該TFTに接続する保持容量を作製する方法について工程に従って詳細に説明する。また、同図には該基板の端部に設けられ、他の基板に設けた回路の配線と電気的に接続するための端子部の作製工程を同時に示す。

【0045】図2（A）において、透光性を有する基板100にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。その他に、石英基板、プラスチック基板などの透光性基板を使用することもできる。

【0046】次いで、導電層を基板全面に形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート電極を含むゲート配線102、共通電極103bを含む共通配線103a、及び端子101）を形成する。このとき少なくともゲート電極102の端部にテーパ部が形成されるようにエッチングする。この段階での上面図を図4に示した。

【0047】ゲート電極を含むゲート配線102と共通配線103a、端子部の端子101は、アルミニウム（Al）や銅（Cu）などの低抵抗導電性材料で形成することが望ましいが、Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。また、低抵抗導電性材料としてAgPdCu合金を用いてもよい。耐熱性導電性材料としては、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、Nd（ネオジム）から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜、または前記元素を成分とする窒化物で形成する。例えば、TiとCuの積層、TaとCuとの積層が挙げられる。また、Ti、Si、Cr、Nd等の耐熱性導電性材料と組み合わせて形成した場合、平坦性が向上するため好ましい。また、このような耐熱性導電性材料のみ、例えばMoとWを組み合わせて形成しても良い。

【0048】液晶表示装置を実現するためには、ゲート電極およびゲート配線は耐熱性導電性材料と低抵抗導電

性材料とを組み合わせ形成することが望ましい。この時の適した組み合わせを説明する。

【0049】画面サイズが5型程度までなら耐熱性導電性材料の窒化物から成る導電層(A)と耐熱性導電性材料から成る導電層(B)とを積層した二層構造とする。導電層(B)はAl、Cu、Ta、Ti、W、Nd、Crから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成すれば良く、導電層(A)は窒化タンタル(TaN)膜、窒化タングステン(WN)膜、窒化チタン(TiN)膜などで形成する。例えば、導電層(A)としてCr、導電層(B)としてNdを含有するAlとを積層した二層構造とすることが好ましい。導電層(A)は10~100nm(好ましくは20~50nm)とし、導電層(B)は200~400nm(好ましくは250~350nm)とする。

【0050】一方、大画面に適用するには耐熱性導電性材料から成る導電層(A)と低抵抗導電性材料から成る導電層(B)と耐熱性導電性材料から成る導電層(C)とを積層した三層構造とすることが好ましい。低抵抗導電性材料から成る導電層(B)は、アルミニウム(Al)を成分とする材料で形成し、純Alの他に、0.01~5atomic%のスカンジウム(Sc)、Ti、Nd、シリコン(Si)等を含有するAlを使用する。導電層(C)は導電層(B)のAlにヒロックが発生するのを防ぐ効果がある。導電層(A)は10~100nm(好ましくは20~50nm)とし、導電層(B)は200~400nm(好ましくは250~350nm)とし、導電層(C)は10~100nm(好ましくは20~50nm)とする。本実施例では、Tiをターゲットとしたスパッタ法により導電層(A)をTi膜で50nmの厚さに形成し、Alをターゲットとしたスパッタ法により導電層(B)をAl膜で200nmの厚さに形成し、Tiをターゲットとしたスパッタ法により導電層(C)をTi膜で50nmの厚さに形成した。

【0051】次いで、絶縁膜104aを全面に成膜する。絶縁膜104aはスパッタ法を用い、膜厚を50~200nmとする。

【0052】例えば、絶縁膜104aとして窒化シリコン膜を用い、150nmの厚さで形成する。勿論、ゲート絶縁膜はこのような窒化シリコン膜に限定されるものでなく、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。例えば、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

【0053】次に、絶縁膜104a上に50~200nm(好ましくは100~150nm)の厚さで第1の非晶質半導体膜105を、プラズマCVD法やスパッタ法などの公知の方法で全面に形成する(図示せず)。代表

的には、シリコンのターゲットを用いたスパッタ法で非晶質シリコン(a-Si)膜を100nmの厚さに形成する。その他、この第1の非晶質半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜($\text{Si}_x\text{Ge}_{1-x}$)、($0 < x < 1$)、非晶質シリコンカーバイド(Si_xC_y)などの非晶質構造を有する化合物半導体膜を適用することも可能である。

【0054】次に、一導電型(n型またはp型)の不純物元素を含有する第2の非晶質半導体膜を20~80nmの厚さで形成する。一導電型(n型またはp型)を付与する不純物元素を含む第2の非晶質半導体膜は、プラズマCVD法やスパッタ法などの公知の方法で全面に形成する。本実施例では、リン(P)が添加されたシリコンターゲットを用いてn型の不純物元素を含有する第2の非晶質半導体膜106を形成した。あるいは、シリコンターゲットを用い、リンを含む雰囲気中でスパッタリングを行い成膜してもよい。或いは、n型を付与する不純物元素を含む第2の非晶質半導体膜を水素化微結晶シリコン膜($\mu\text{c-Si:H}$)で形成しても良い。

【0055】次に、金属材料からなる第1の導電膜107をスパッタ法や真空蒸着法で形成する。第1の導電膜107の材料としては、第2の非晶質半導体膜106とオーミックコンタクトのとれる金属材料であれば特に限定されず、Al、Cr、Ta、Tiから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜等が挙げられる。本実施例ではスパッタ法を用い、第1の導電膜107として、50~150nmの厚さで形成したTi膜と、そのTi膜上に重ねてアルミニウム(Al)を300~400nmの厚さで形成し、さらにその上にTi膜を100~150nmの厚さで形成した。(図2(A))

【0056】絶縁膜104a、第1の非晶質半導体膜105、n型を付与する不純物元素を含む第2の非晶質半導体膜106、及び第1の導電膜107はいずれも公知の方法で作製するものであり、プラズマCVD法やスパッタ法で作製することができる。本実施例では、これらの膜(104a、105、106、107)をスパッタ法で、ターゲット及びスパッタガスを適宜切り替えることにより連続的に形成した。この時、スパッタ装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることが好ましい。このように、大気に曝さないことで不純物の混入を防止することができる。

【0057】次に、第2のフォトリソグラフィ工程を行い、レジストマスク108、109を形成し、エッチングにより不要な部分を除去して配線(後の工程によりソース配線及び画素電極となる)を形成する。この際のエッチング方法としてウエットエッチングまたはドライエッチングを用いる。第2のフォトリソグラフィ工程により、第1の非晶質半導体膜105、n型を付与する

不純物元素を含有する第2の非晶質半導体膜106、及び導電性の金属膜107がエッチングされ、画素TFT部においては、第1の非晶質半導体膜110、n型を付与する不純物元素を含有する第2の非晶質半導体膜112、及び導電性の金属膜114を形成する。よって、これらの膜の端面は概略一致する。また、容量部においては、第1の非晶質半導体膜111、n型を付与する不純物元素を含有する第2の非晶質半導体膜113、及び導電性の金属膜115を形成する。同様に、これらの膜の端面は一致する。本実施例では、 SiCl_4 と Cl_2 と BCl_3 の混合ガスを反応ガスとしたドライエッチングにより、Ti膜とAl膜とTi膜を順次積層した第1の導電膜107をエッチングし、反応ガスを CF_4 と O_2 の混合ガスに代えて第1の非晶質半導体膜105及びn型を付与する不純物元素を含む第2の非晶質半導体膜106を選択的に除去した。(図2(B))また、端子部においては端子101と絶縁膜104aが残る。

【0058】次に、レジストマスク108、109を除去した後、シャドーマスクを用いてレジストマスクを形成し、端子部のパッド部分を覆っている絶縁膜104aを選択的に除去して絶縁膜104bを形成し、レジストマスクを除去する。(図2(C))また、シャドーマスクに代えてスクリーン印刷法によりレジストマスクを形成してエッチングマスクとしてもよい。

【0059】次に、全面に透明導電膜からなる第2の導電膜116を成膜する。(図2(D))また、この時の上面図を図5に示す。ただし、簡略化のため図5では全面に成膜された第2の導電膜116は図示していない。

【0060】この第2の導電膜116の材料は、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する)などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3-\text{ZnO}$)を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOと比較して熱安定性にも優れているので、第2の導電膜116と接触する配線111をAl膜で形成しても腐蝕反応をすることを防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛($\text{ZnO}:\text{Ga}$)などを用いることができる。

【0061】次に、第3のフォトリソグラフィ工程を行い、レジストマスク117a~117cを形成し、エッチングにより不要な部分を除去して第1の非晶質半導体膜118、ソース領域119及びドレイン領域120、ソース配線121及び画素電極122、第2の導電膜123、124を形成する。(図3(A))

【0062】この第3のフォトリソグラフィ工程は、

第2の導電膜116をバターニングすると同時に、配線114とn型を付与する不純物元素を含む第2の非晶質半導体膜112と第1の非晶質半導体膜110の一部をエッチングにより除去して開孔を形成する。本実施例では、まず、ITOからなる第2の導電膜116を硝酸と塩酸の混合溶液または塩化系第2鉄系の溶液を用いたウェットエッチングにより選択的に除去し、ウェットエッチングにより配線114を選択的に除去した後、ドライエッチングによりn型を付与する不純物元素を含む第2の非晶質半導体膜112と非晶質半導体膜110の一部をエッチングした。なお、本実施例では、ウェットエッチングとドライエッチングとを用いたが、実施者が反応ガスを適宜選択してドライエッチングのみで行ってもよいし、実施者が反応溶液を適宜選択してウェットエッチングのみで行ってもよい。

【0063】また、開孔の底部は第1の非晶質半導体膜に達しており、凹部を有する第1の非晶質半導体膜118が形成される。この開孔によって配線114はソース配線121と画素電極122に分離され、n型を付与する不純物元素を含む第2の非晶質半導体膜112はソース領域119とドレイン領域120に分離される。また、ソース配線と接する第2の導電膜124は、ソース配線を覆い、後の製造工程、特にラビング処理で生じる静電気を防止する役目を果たす。また、図9に示すように、この第2の導電膜124は端子部においてFPCとの接続を行う上で重要な役割を果たしている。また、この第2の導電膜124はソース配線を保護する役割も果たしている。

【0064】また、この第3のフォトリソグラフィ工程において、容量部における絶縁膜104bを誘電体として、共通配線103aと画素電極122とで保持容量が形成される。

【0065】また、この第3のフォトリソグラフィ工程において、レジストマスク117cで覆い端子部に形成された透明導電膜からなる第2の導電膜を残す。

【0066】次に、レジストマスク113a~113cを除去した。この状態の断面図を図3(B)に示した。

【0067】また、図9(A)は、この状態でのゲート配線端子部501、及びソース配線端子部502の上面図をそれぞれ図示している。なお、図1~図3と対応する箇所には同じ符号を用いている。また、図9(B)は図9(A)中のE-E'線及びF-F'線に沿った断面図に相当する。図9(A)において、透明導電膜からなる503は入力端子として機能する接続用の電極であり、電気的な接続を容易なものとすることができる。また、図9(B)において、504は絶縁膜(104bから延在する)、505は第1の非晶質半導体膜(118から延在する)、506はn型を付与する不純物元素を含む第2の非晶質半導体膜(119から延在する)である。

10

20

30

40

50

【0068】こうして3回のフォトリソグラフィ工程により、3枚のフォトマスクを使用して、逆スタガ型のnチャネル型TFT201を有する画素TFT部、保持容量202を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の電気光学装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0069】次に、アクティブマトリクス基板の画素部のみに配向膜125を選択的に形成する。配向膜125を選択的に形成する方法としては、スクリーン印刷法を用いてもよいし、配向膜を塗布後、シャドーマスクを用いてレジストマスクを形成して除去する方法を用いてもよい。通常、液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。本実施例では配向膜としてAL3046（JSR社製）を使用した。

【0070】次に、配向膜125にラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。IPS方式の場合、色づきを防止し良好な視野特性を得るのにプレチルト角は0.5°～3°程度が望ましく、本実施例では1.5°とした。

【0071】次いで、アクティブマトリクス基板と、配向膜126が設けられた対向基板127とをスペーサで基板間隔を保持しながらシール剤により貼り合わせた後、アクティブマトリクス基板と対向基板の間に液晶材料128を注入する。なお、スペーサとしては球状スペーサや柱状スペーサを用いることができる。また、柱状スペーサを用いた場合にはマスク数が一枚増加するが、基板間隔をより均一なものとすることができ、さらに散布工程を削除することができる。なお、ここでは図示しないが、対向基板には表示領域として実質的に機能しない領域をブラックマスクで覆う。液晶材料128はIPS方式で用いられる公知のn型液晶またはp型液晶を適用すれば良い。

【0072】本実施例では、3～5μmの基板間隔で一对の基板間を保持することが望ましいp型液晶材料であるZLI-4792（メルク社製）を用いた。また、ZLI-2806（メルク社製）を用いる場合は、6～8μmの基板間隔で一对の基板間を保持し、透過光及び応答速度を最適化すればよい。p型液晶を用いたため、画素電極とラビング方向のなす角は、絶対値で0.5°～40°とすることが望ましく、本実施例では15°とした。一方、n型液晶を用いる場合は、画素電極とラビング方向のなす角を画素電極と垂直に交わる直線軸に対して絶対値で0.5°～40°とすることが望ましい。

【0073】次いで、液晶材料を注入した後、注入口は樹脂材料で封止する。

【0074】次に、端子部の入力端子101にフレキシブルプリント配線板（Flexible Printed Circuit：FP

C）を接続する。FPCはポリイミドなどの有機樹脂フィルム132に銅配線131が形成されていて、異方性導電性接着剤で入力端子を覆う透明導電膜と接続する。異方性導電性接着剤は接着剤129と、その中に混入され金などがメッキされた数十～数百μm径の導電性表面を有する粒子130により構成され、この粒子130が入力端子101上の透明導電膜と銅配線131とに接触することによりこの部分で電気的な接触が形成される。さらに、この部分の機械的強度を高めるために樹脂層133を設ける。（図3（C））

【0075】なお、図1は1つの画素の上面図であり、A-A'線及びB-B'線に沿った断面図がそれぞれ図3（C）に相当する。ただし、簡略化のため、配向膜が設けられた対向基板、液晶は図示していない。

【0076】図6は、図1中の鎖線X-X'で切断した断面図である。共通配線103aは枝分かれしており、便宜上、本明細書では、枝分かれしている部分を共通電極103bと呼び、ゲート配線と平行な部分を共通配線103aと呼ぶ。画素電極122は2つの共通電極103b間に配置されている。また、画素電極122と共通電極103bは異層に形成されている。これらによって、一方の基板上の画素電極122、共通電極103b間で電界がかかり、かつ、その方向が基板界面にほぼ平行となるようにする。

【0077】図7は、アクティブマトリクス基板の画素部と端子部の配置を説明する図である。基板210上には画素部211が設けられ、画素部にはゲート配線208とソース配線207が交差して形成され、これに接続するnチャネル型TFT201が各画素に対応して設けられている。nチャネル型TFT201のドレイン側には画素電極119及び保持容量202が接続し、保持容量202のもう一方の端子は共通配線209に接続している。nチャネル型TFT201と保持容量202の構造は図3（B）で示すnチャネル型TFT201と保持容量202と同じものとする。

【0078】基板の一方の端部には、走査信号を入力する入力端子部205が形成され、接続配線206によってゲート配線208に接続している。また、他の端部には画像信号を入力する入力端子部203が形成され、接続配線204によってソース配線207に接続している。ゲート配線208、ソース配線207、共通配線209は画素密度に応じて複数本設けられるものである。また、画像信号を入力する入力端子部212と接続配線213を設け、入力端子部203と交互にソース配線と接続させても良い。入力端子部203、205、212はそれぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【0079】〔実施例2〕図8は液晶表示装置の実装方法の一例である。液晶表示装置は、TFTが作製された基板301の端部には、入力端子部302が形成され、

これは実施例 1 で示したようにゲート配線と同じ材料で形成される端子 303 で形成される。そして対向基板 304 とスペーサ 306 を内包するシール剤 305 により貼り合わされ、さらに偏光板 307、308、及びカラーフィルタ (図示しない) が設けられている。なお、偏光板の一方の配置は液晶分子の長軸に合わせ、もう一方の配置を液晶分子の短軸に合わせればよい。そして、スペーサ 322 によって筐体 321 に固定される。

【0080】なお、実施例 1 により得られる非晶質シリコン膜で活性層を形成した TFT は、電界効果移動度が小さく $1\text{ cm}^2/\text{Vsec}$ 程度しか得られていない。そのため、画像表示を行うための駆動回路は IC チップで形成され、TAB (tape automated bonding) 方式や COG (chip on glass) 方式で実装されている。本実施例では、IC チップ 313 に駆動回路を形成し、TAB 方式で実装する例を示す。これにはフレキシブルプリント配線板 (Flexible Printed Circuit: FPC) が用いられ、FPC はポリイミドなどの有機樹脂フィルム 309 に銅配線 310 が形成されていて、異方性導電性接着剤で入力端子 302 と接続する。入力端子は配線 303 上に接して設けられた透明導電膜である。異方性導電性接着剤は接着剤 311 と、その中に混入され金などがメッキされた数十～数百 μm 径の導電性表面を有する粒子 312 により構成され、この粒子 312 が入力端子 302 と銅配線 310 とに接触することにより、この部分で電気的な接触が形成される。そしてこの部分の機械的強度を高めるために樹脂層 318 が設けられている。

【0081】IC チップ 313 はバンプ 314 で銅配線 310 に接続し、樹脂材料 315 で封止されている。そして銅配線 310 は接続端子 316 でその他の信号処理回路、増幅回路、電源回路などが形成されたプリント基板 317 に接続されている。そして、透過型の液晶表示装置では対向基板 304 に光源 319 と光導光体 320 が設けられてバックライトとして使用される。

【0082】【実施例 3】本実施例では、保護膜を形成した例を図 14 に示す。なお、本実施例は、実施例 1 の図 3 (B) の状態まで同一であるので異なる点について以下に説明する。また、図 3 (B) に対応する箇所は同一の符号を用いた。

【0083】まず、実施例 1 に従って図 3 (B) の状態を得た後、薄い無機絶縁膜を全面に形成する。この薄い無機絶縁膜としては、スパッタ法またはプラズマ CVD 法で形成する酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの無機絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【0084】次いで、第 4 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して、画素 TFT 部においては絶縁膜 402、端子部においては無機絶縁膜 401 をそれぞれ形

成する。この無機絶縁膜 401、402 は、パッシベーション膜として機能する。また、端子部においては、第 4 のフォトリソグラフィ工程により薄い無機絶縁膜 401 を除去して、端子部の端子 101 上に形成された透明導電膜からなる第 2 の導電膜を露呈させる。

【0085】こうして本実施例では、4 回のフォトリソグラフィ工程により、4 枚のフォトマスクを使用し、無機絶縁膜で保護された逆スタガ型の n チャネル型 TFT、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置し、画素部を構成することによりアクティブマトリクス型の電気光学装置を作製するための一方の基板とすることができる。

【0086】なお、本実施例は、実施例 1 または実施例 2 の構成と自由に組み合わせることが可能である。

【0087】【実施例 4】実施例 1 では、絶縁膜、第 1 の非晶質半導体膜、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜、及び第 1 の導電膜をスパッタ法で積層形成した例を示したが、本実施例では、プラズマ CVD 法を用いた例を示す。

【0088】本実施例では、絶縁膜、第 1 の非晶質半導体膜、及び n 型を付与する不純物元素を含む第 2 の非晶質半導体膜をプラズマ CVD 法で形成した。

【0089】本実施例では、絶縁膜として酸化窒化シリコン膜を用い、プラズマ CVD 法により 150 nm の厚さで形成する。この時、プラズマ CVD 装置において、電源周波数 $13\sim70\text{ MHz}$ 、好ましくは $27\sim60\text{ MHz}$ で行えばよい。電源周波数 $27\sim60\text{ MHz}$ を使うことにより緻密な絶縁膜を形成することができ、ゲート絶縁膜としての耐圧を高めることができる。また、 SiH_4 と NH_3 に N_2O を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているので、この用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、酸化シリコン膜、窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。また、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

【0090】例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で、オルトケイ酸テトラエチル (Tetraethyl Orthosilicate: TEOS) と O_2 とを混合し、反応圧力 40 Pa 、基板温度 $250\sim350^\circ\text{C}$ とし、高周波 (13.56 MHz) 電力密度 $0.5\sim0.8\text{ W}/\text{cm}^2$ で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後 $300\sim400^\circ\text{C}$ の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0091】また、第 1 の非晶質半導体膜として、代表的には、プラズマ CVD 法で水素化非晶質シリコン (a

-Si:H) 膜を 100 nm の厚さに形成する。この時、プラズマ CVD 装置において、電源周波数 13~70 MHz、好ましくは 27~60 MHz で行えばよい。電源周波数 27~60 MHz を使うことにより成膜速度を向上することが可能となり、成膜された膜は、欠陥密度の少ない a-Si 膜となるため好ましい。その他、この第 1 の非晶質半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用することも可能である。

【0092】また、上記絶縁膜及び上記第 1 の非晶質半導体膜のプラズマ CVD 法による成膜において、100~100 kHz のパルス変調放電を行えば、プラズマ CVD 法の気相反応によるパーティクルの発生を防ぐことができ、成膜においてピンホールの発生を防ぐことができるため好ましい。

【0093】また、本実施例では、一導電型の不純物元素を含有する半導体膜として、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜を 20~80 nm の厚さで形成する。例えば、n 型の不純物元素を含有する a-Si:H 膜を形成すれば良く、そのためにシラン (SiH₄) に対して 0.1~5% の濃度でフォスフィン (PH₃) を添加する。或いは、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 106 に代えて水素化微結晶シリコン膜 (μc-Si:H) を用いても良い。

【0094】これらの膜は、反応ガスを適宜切り替えることにより、連続的に形成することができる。また、プラズマ CVD 装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることもできる。このように、大気に曝さないで連続成膜することで特に、第 1 の非晶質半導体膜への不純物の混入を防止することができる。

【0095】なお、本実施例は、実施例 1 乃至 3 のいずれかと組み合わせることが可能である。

【0096】【実施例 5】実施例 1 または実施例 4 では、絶縁膜、第 1 の非晶質半導体膜、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜、第 1 の導電膜を順次、連続的に積層する例を示した。このように連続的に成膜する場合において使用する複数のチャンバーを備えた装置の一例を図 10 に示した。

【0097】図 10 に本実施例で示す装置 (連続成膜システム) の上面からみた概要を示す。図 10 において、10~15 が気密性を有するチャンバーである。各チャンバーには、真空排気ポンプ、不活性ガス導入系が配置されている。

【0098】10、15 で示されるチャンバーは、試料 (処理基板) 30 をシステムに搬入するためのロードロック室である。11 は絶縁膜 104 を成膜するための第 1 のチャンバーである。12 は第 1 の非晶質半導体膜 105 を成膜するための第 2 のチャンバーである。13 は n 型を付与する第 2 の非晶質半導体膜 106 を成膜する

ための第 3 のチャンバーである。14 は第 1 の導電膜 107 を成膜するための第 4 のチャンバーである。また、20 は各チャンバーに対して共通に配置された試料の共通室である。

【0099】以下に動作の一例を示す。

【0100】最初、全てのチャンバーは、一度高真空状態に真空引きされた後、さらに不活性ガス、ここでは窒素によりパージされている状態 (常圧) とする。また、全てのゲート弁 22~27 を閉鎖した状態とする。

【0101】まず、処理基板は多数枚が収納されたカセット 28 ごとロードロック室 10 に搬入される。カセットの搬入後、図示しないロードロック室の扉を閉鎖する。この状態において、ゲート弁 22 を開けてカセットから処理基板 30 を 1 枚取り出し、ロボットアーム 21 によって共通室 20 に取り出す。この際、共通室において位置合わせが行われる。なお、この基板 30 は実施例 1 に従って得られた配線 101、102、103a、103b が形成されたものを用いた。

【0102】ここでゲート弁 22 を閉鎖し、次いでゲート弁 23 を開ける。そして第 1 のチャンバー 11 へ処理基板 30 を移送する。第 1 のチャンバー内では 150℃ から 300℃ の温度で成膜処理を行い、絶縁膜 104 を得る。なお、絶縁膜としては、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、またはこれらの積層膜等を使用することができる。本実施例では単層の窒化珪素膜を採用しているが、二層または三層以上の積層構造としてもよい。なお、ここではプラズマ CVD 法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【0103】絶縁膜の成膜終了後、処理基板はロボットアームによって共通室に引き出され、第 2 のチャンバー 12 に移送される。第 2 のチャンバー内では第 1 のチャンバーと同様に 150℃~300℃ の温度で成膜処理を行い、プラズマ CVD 法で第 1 の非晶質半導体膜 105 を得る。なお、第 1 の非晶質半導体膜としては、微結晶半導体膜、非晶質ゲルマニウム膜、非晶質シリコンゲルマニウム膜、またはこれらの積層膜等を使用することができる。また、第 1 の非晶質半導体膜の形成温度を 350℃~500℃ として水素濃度を低減するための熱処理を省略してもよい。なお、ここではプラズマ CVD 法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【0104】第 1 の非晶質半導体膜の成膜終了後、処理基板は共通室に引き出され、第 3 のチャンバー 13 に移送される。第 3 のチャンバー内では第 2 のチャンバーと同様に 150℃~300℃ の温度で成膜処理を行い、プラズマ CVD 法で n 型を付与する不純物元素 (P または As) を含む第 2 の非晶質半導体膜 106 を得る。なお、ここではプラズマ CVD 法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャン

バーを用いても良い。

【0105】 n型を付与する不純物元素を含む第2の非晶質半導体膜の成膜終了後、処理基板は共通室に引き出され、第4のチャンバー14に移送される。第4のチャンバー内では金属ターゲットを用いたスパッタ法で第1の導電膜107を得る。

【0106】 このようにして四層が連続的に成膜された被処理基板はロボットアームによってロードロック室15に移送されカセット29に収納される。

【0107】 なお、図10に示した装置は一例に過ぎないことはいうまでもない。また、本実施例は実施例1乃至4のいずれか一と自由に組み合わせることが必要である。

【0108】 【実施例6】 実施例5では、複数のチャンバーを用いて連続的に積層する例を示したが、本実施例では図11に示した装置を用いて一つのチャンバー内で高真空を保ったまま連続的に積層した。

【0109】 本実施例では図11に示した装置システムを用いた。図11において、40は処理基板、50は共通室、44、46はロードロック室、45はチャンバー、42、43はカセットである。本実施例では基板搬送時に生じる汚染を防ぐために同一チャンバーで積層形成した。

【0110】 本実施例は実施例1乃至4のいずれか一と自由に組み合わせることができる。

【0111】 ただし、実施例1に適用する場合には、チャンバー45に複数のターゲットを用意し、順次、反応ガスを入れ替えて絶縁膜104、第1の非晶質半導体膜105、n型を付与する不純物元素を含む第2の非晶質半導体膜106、第1の導電膜107を積層形成すればよい。

【0112】 また、実施例4に適用する場合には、順次、反応ガスを入れ替えて絶縁膜104、第1の非晶質半導体膜105、n型を付与する不純物元素を含む第2の非晶質半導体膜106を積層形成すればよい。

【0113】 【実施例7】 実施例1では、n型を付与する不純物元素を含む第2の非晶質半導体膜をスパッタ法で形成した例を示したが、本実施例では、プラズマCVD法で形成する例を示す。なお、本実施例はn型を付与する不純物元素を含む第2の非晶質半導体膜の形成方法以外は実施例1と同一であるため異なる点についてのみ以下に述べる。

【0114】 プラズマCVD法を用い、反応ガスとしてシラン (SiH_4) に対して0.1～5%の濃度でフォスフィン (PH_3) を添加すれば、n型を付与する不純物元素を含む第2の非晶質半導体膜を得ることができる。

【0115】 【実施例8】 実施例7では、n型を付与する不純物元素を含む第2の非晶質半導体膜をプラズマCVD法で形成した例を示したが、本実施例では、n型を

付与する不純物元素を含む微結晶半導体膜を用いた例を示す。

【0116】 形成温度を80～300℃、好ましくは140～200℃とし、水素で希釈したシランガス ($\text{SiH}_4 : \text{H}_2 = 1 : 10 \sim 100$) とフォスフィン (PH_3) との混合ガスを反応ガスとし、ガス圧を0.1～10 Torr、放電電力を10～300 mW/cm² とすることで微結晶珪素膜を得ることができる。また、この微結晶珪素膜成膜後にリンをプラズマドーピングして形成してもよい。

【0117】 【実施例9】 図12はCOG方式を用いて、電気光学装置の組み立てる様子を模式的に示す図である。第1の基板には画素領域803、外部入出力端子804、接続配線805が形成されている。点線で囲まれた領域は、走査線側のICチップ貼り合わせ領域801とデータ線側のICチップ貼り合わせ領域802である。第2の基板808には対向電極809が形成され、シール材810で第1の基板800と貼り合わせる。シール材810の内側には液晶が封入され液晶層811を形成する。第1の基板と第2の基板とは所定の間隔を持って貼り合わせるが、ネマチック液晶の場合には3～8 μmとする。

【0118】 ICチップ806、807は、データ線側と走査線側とで回路構成が異なる。ICチップは第1の基板に実装する。外部入出力端子804には、外部から電源及び制御信号を入力するためのFPC (フレキシブルプリント配線板: Flexible Printed Circuit) 812を貼り付ける。FPC 812の接着強度を高めるために補強板813を設けても良い。こうして電気光学装置を完成させることができる。ICチップは第1の基板に実装する前に電気検査を行えば電気光学装置の最終工程での歩留まりを向上させることができ、また、信頼性を高めることができる。

【0119】 また、ICチップを第1の基板上に実装する方法は、異方性導電材を用いた接続方法やワイヤボンディング方式などを採用することができる。図13にその一例を示す。図13(A)は第1の基板901にICチップ908が異方性導電材を用いて実装する例を示している。第1の基板901上には画素領域902、引出線906、接続配線及び入出力端子907が設けられている。第2の基板はシール材904で第1の基板901と接着されており、その間に液晶層905が設けられている。

【0120】 また、接続配線及び入出力端子907の一方の端にはFPC 912が異方性導電材で接着されている。異方性導電材は樹脂915と表面にAuなどがメッキされた数十～数百 μm径の導電性粒子914から成り、導電性粒子914により接続配線及び入出力端子907とFPC 912に形成された配線913とが電氣的に接続されている。ICチップ908も同様に異方性導

電材で第1の基板に接着され、樹脂911中に混入された導電性粒子910により、ICチップ908に設けられた入出力端子909と引出線906または接続配線及び入出力端子907と電氣的に接続されている。

【0121】また、図13(B)で示すように第1の基板にICチップを接着材916で固定して、Auワイヤ917によりICチップの入出力端子と引出線または接続配線とを接続しても良い。そして樹脂918で封止する。

【0122】ICチップの実装方法は図12及び図13を基にした方法に限定されるものではなく、ここで説明した以外にも公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることが可能である。

【0123】本実施例は実施例1、3乃至8のいずれか一と自由に組み合わせることが可能である。

【0124】〔実施例10〕実施例1では、画素電極やソース電極を覆う透明導電膜を形成した例を示したが本実施例では、図15を用いて透明導電膜を形成しない例を説明する。

【0125】実施例1に従って、図2(C)の状態、即ち、ゲート配線602、共通配線603a、共通電極603b、配線(後の工程によりソース配線、画素電極となる)を得る。

【0126】次いで、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して第1の非晶質半導体膜、ソース領域及びドレイン領域、ソース配線621、及び画素電極622を形成する。

【0127】この第3のフォトリソグラフィ工程は、配線と、n型を付与する不純物元素を含む第2の非晶質半導体膜と、第1の非晶質半導体膜の一部とをエッチングにより除去して開孔を形成する。本実施例では、まず、ウェットエッチングにより配線を選択的に除去してソース配線621及画素電極622を形成した後、ドライエッチングによりn型を付与する不純物元素を含む第2の非晶質半導体膜と非晶質半導体膜の一部をエッチングした。なお、本実施例では、ウェットエッチングとドライエッチングとを用いたが、実施者が反応ガスを適宜選択してドライエッチングのみで行ってもよいし、実施者が反応溶液を適宜選択してウェットエッチングのみで行ってもよい。

【0128】また、開孔の底部は第1の非晶質半導体膜に達しており、凹部を有する第1の非晶質半導体膜が形成される。この開孔によって配線はソース配線621と画素電極622に分離され、n型を付与する不純物元素を含む第2の非晶質半導体膜はソース領域とドレイン領域に分離される。

【0129】以降の工程は実施例1に従って作製すればアクティブマトリクス基板が得られる。

【0130】なお、本実施例は実施例1乃至9のいずれ

か一と自由に組み合わせることができる。

【0131】〔実施例11〕本実施例は、基板としてプラスチック基板(或いはプラスチックフィルム)を用いた例を示す。なお、本実施例は基板としてプラスチック基板を用いること以外は実施例1とほぼ同一であるため異なる点についてのみ以下に述べる。

【0132】プラスチック基板の材料としてはPES(ポリエチレンサルファイド)、PC(ポリカーボネート)、PET(ポリエチレンテレフタレート)もしくはPEN(ポリエチレンナフタレート)を用いることができる。

【0133】プラスチック基板を用いて実施例1に従って作製すればアクティブマトリクス基板が完成する。ただし、絶縁膜、第1の非晶質半導体膜、及びn型を付与する不純物元素を含む第2の非晶質半導体膜は、成膜温度が比較的低温であるスパッタ法で形成することが望ましい。

【0134】プラスチック基板上に特性の良好なTFTを設けることができるとともに、さらなる表示装置の軽量化を図ることができる。また、基板がプラスチックであるため、フレキシブルな電気光学装置にすることも可能である。また、組み立てが容易となる。

【0135】なお、本実施例は、実施例1〜3、9、10のいずれか一と自由に組合せることができる。

【0136】〔実施例12〕本実施例では、画素電極やソース配線を覆う第2の導電膜123、124の形成と同じ工程で画素部以外の領域に保護回路を設ける例を図16に示す。

【0137】図16(A)において、701は配線であり、画素部から延長されたゲート配線またはソース配線または共通配線を示している。また、第2の導電膜からなる電極701は、配線701が形成されていない領域を埋めるように、且つ配線701と重ならないように形成される。本実施例は、マスクを増やすことなく保護回路を形成する例を示したが、特に図16(A)の構成に限定されないことは言うまでもない。例えば、マスクを増やして保護ダイオードやTFTで保護回路を形成してもよい。

【0138】また、図16(B)は等価回路図を示している。

【0139】このような構成とすることで、製造工程において製造装置と絶縁体基板との摩擦による静電気の発生を防止することができる。特に、製造工程で行われる液晶配向処理のラビング時に発生する静電気からTFT等を保護することができる。

【0140】なお、本実施例は実施例1乃至11のいずれか一と自由に組み合わせることができる。

【0141】〔実施例13〕上記各実施例1乃至12のいずれか一を実施して形成されたボトムゲート型TFTは様々な電気光学装置(アクティブマトリクス型液晶デ

ィスプレイ)に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0142】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図17及び図18に示す。

【0143】図17(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2003に適用することができる。

【0144】図17(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

【0145】図17(C)はモバイルコンピュータ(モ
ービルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用
10 できる。

【0146】図17(D)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD
30 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

【0147】図17(E)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本願発明を表示部2502に適用することができる。

【0148】図18(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906
40 等を含む。本願発明を表示部2904に適用することができる。

【0149】図18(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0150】図18(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0151】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~12のどのような組み合わせからなる構成を用いても実現することができる。

【0152】

【発明の効果】本発明により、3回のフォトリソグラフィ工程により、3枚のフォトマスクを使用して、逆スタガ型のnチャネル型TFTを有する画素TFT部、及び保持容量を備えたIPS方式の電気光学装置を実現することができる。

【0153】また、保護膜を形成した場合においては、4回のフォトリソグラフィ工程により、4枚のフォトマスクを使用して、無機絶縁膜で保護された逆スタガ型のnチャネル型TFTを有する画素TFT部、及び保持容量を備えたIPS方式の電気光学装置を実現することができる。

【図面の簡単な説明】

【図1】 本願発明の上面図を示す図。

【図2】 アクティブマトリクス基板の作製工程を示す断面図。

【図3】 アクティブマトリクス基板の作製工程を示す断面図。

【図4】 アクティブマトリクス基板の作製工程を示す上面図。

【図5】 アクティブマトリクス基板の作製工程を示す上面図。

【図6】 液晶表示装置の断面図。

【図7】 液晶表示装置の画素部と入力端子部の配置を説明する上面図。

【図8】 液晶表示装置の実装構造を示す断面図。

【図9】 入力端子部の上面図及び断面図。

【図10】 製造装置の上面図。

【図11】 製造装置の上面図。

【図12】 液晶表示装置の実装を示す図。

【図13】 液晶表示装置の実装構造を示す断面図。

【図14】 液晶表示装置の断面図。

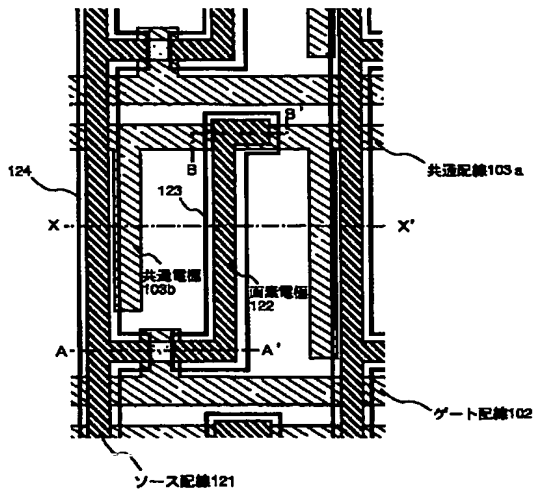
【図15】 本願発明の上面図を示す図。

【図16】 保護回路の上面図及び回路図。

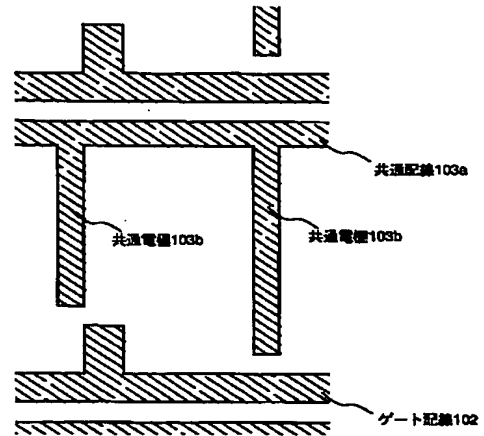
【図17】 電子機器の一例を示す図。

【図18】 電子機器の一例を示す図。

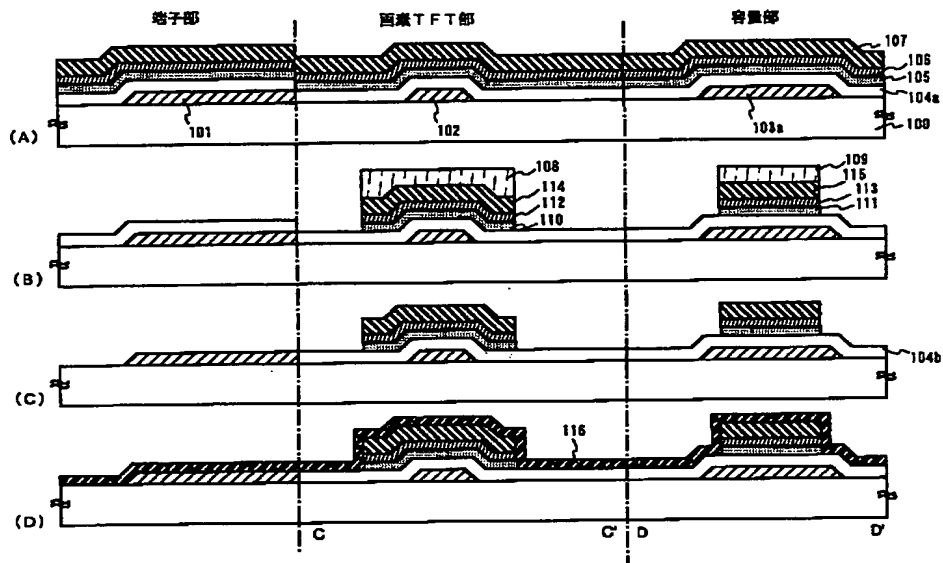
【図 1】



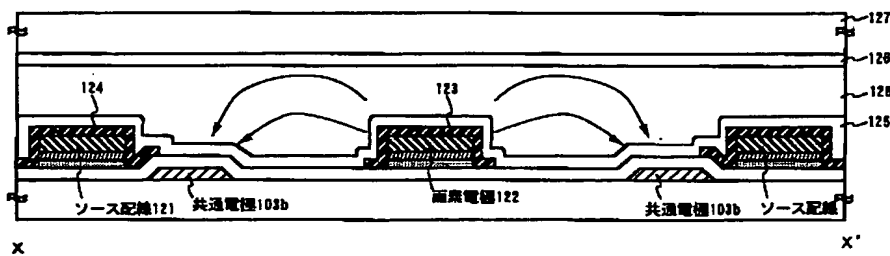
【図 4】



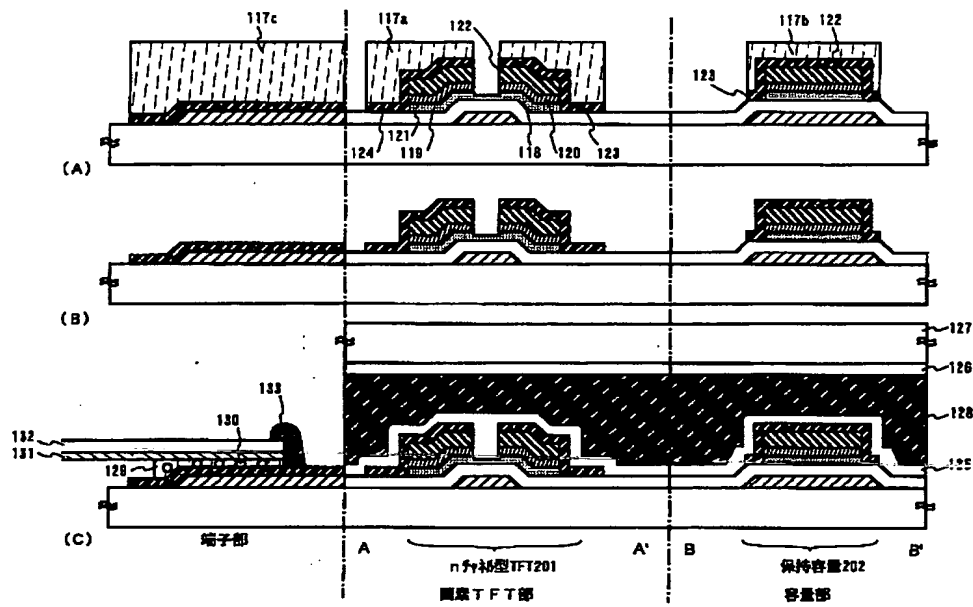
【図 2】



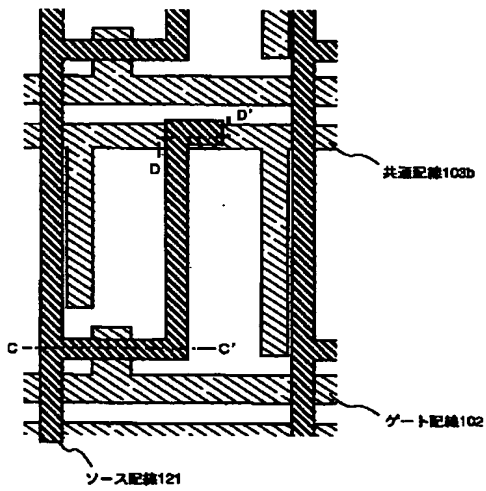
【図 6】



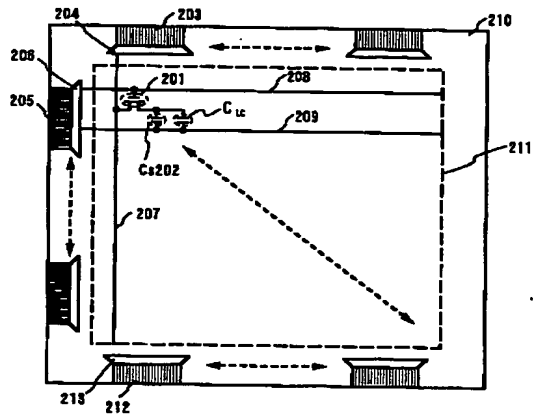
【図 3】



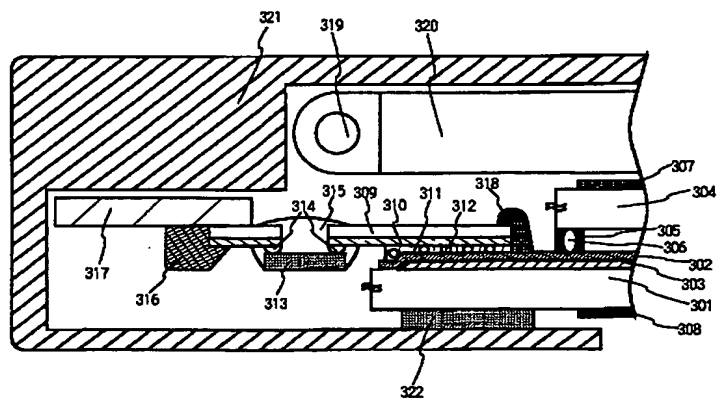
【図 5】



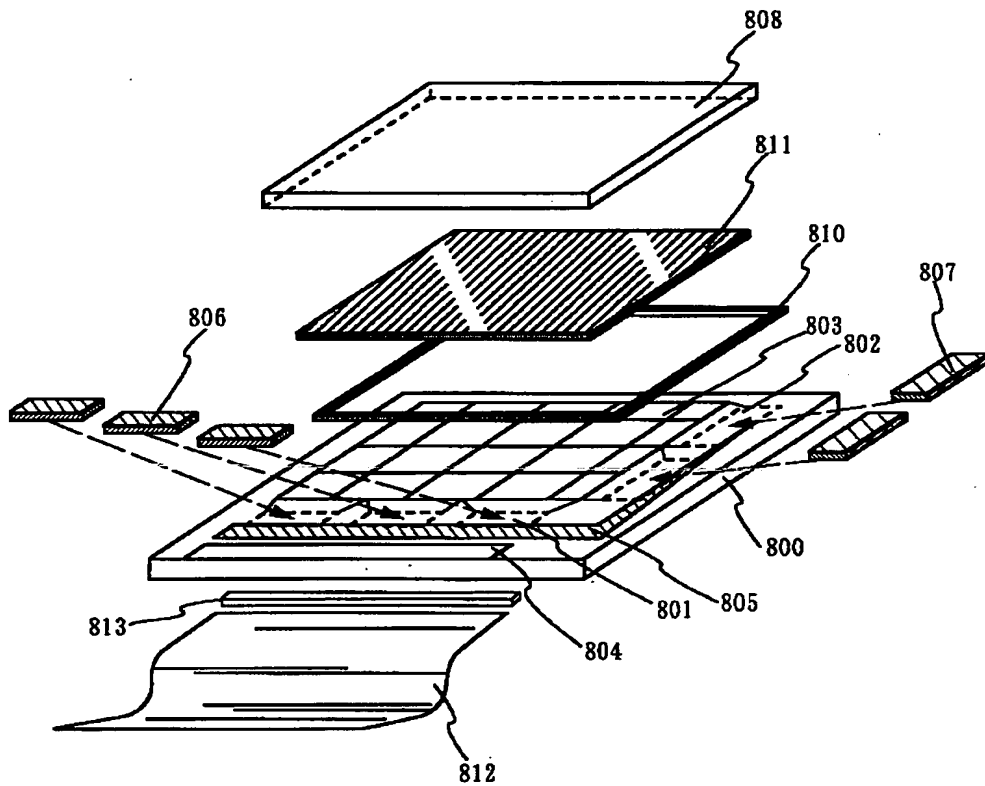
【図 7】



【図 8】

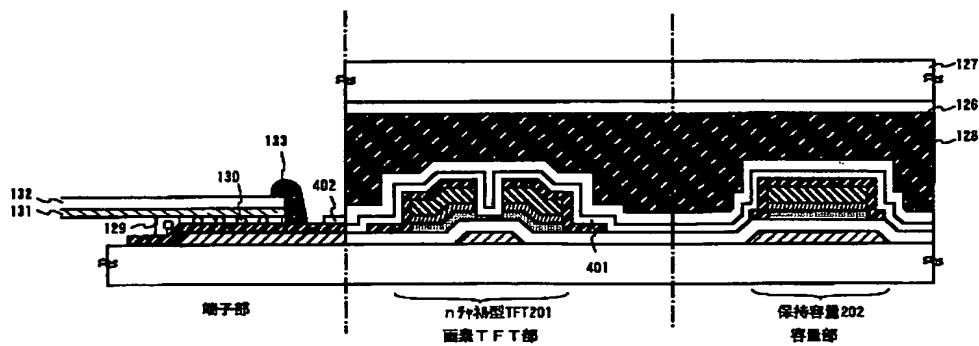


【図 12】

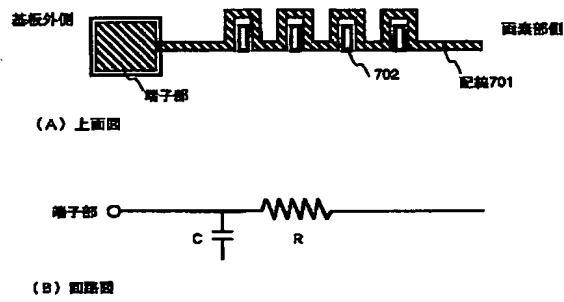


800:第1の基板、801:ICチップ貼り合わせ領域(ゲータ線)、
 802:ICチップ貼り合わせ領域(走査線)、803:画素領域、
 804:入力端子、805:接続配線、806、807:ICチップ、
 808:第2の基板、810:シール材、811:液晶、
 812:FPC、813:補強板

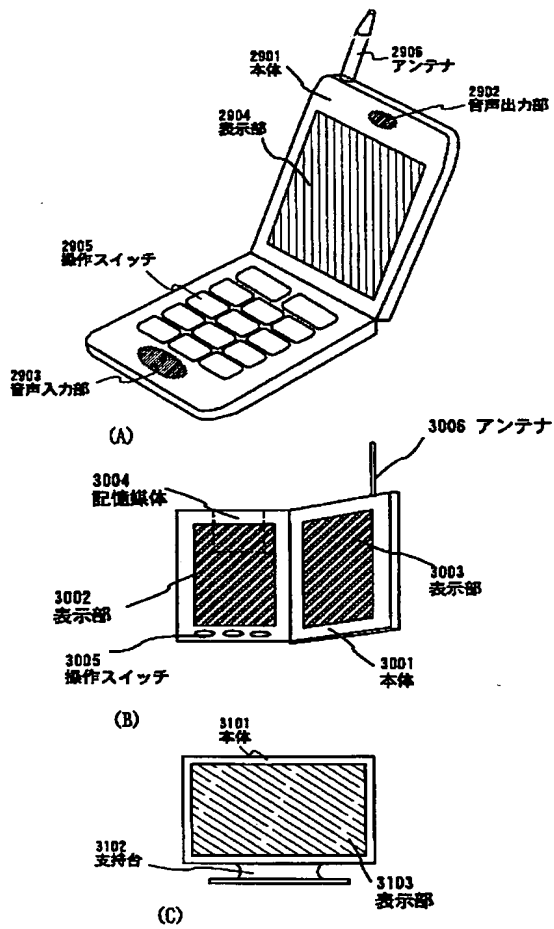
【図 14】



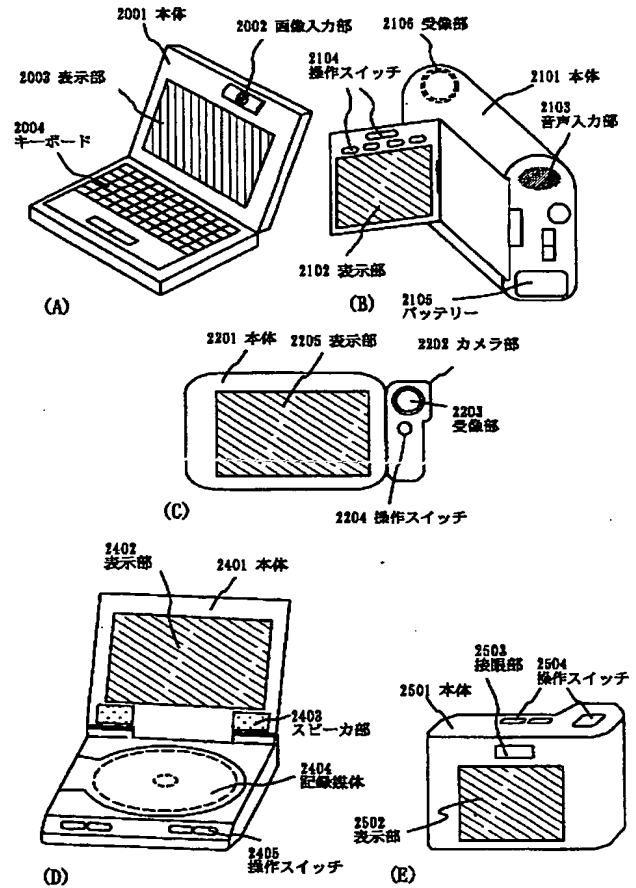
【図 16】



【図 18】



【図 17】



フロントページの続き

Fターム(参考) 2H092 GA14 GA48 GA50 GA51 GA57
JA26 JA29 JA38 JA42 JA44
JA47 JB11 JB23 JB32 JB33
JB38 JB51 JB57 JB63 JB69
KA05 KA07 KA16 KA18 MA05
MA08 MA14 MA15 MA16 MA18
MA19 MA20 MA27 MA32 MA34
MA35 MA37 NA25 NA27 PA06
PA13 QA07 RA10
5C094 AA12 AA14 AA42 AA43 AA44
BA03 BA43 CA19 CA24 DA14
DA15 EA04 EA07 EB02 ED03
ED14 ED15 FB12 FB14 FB15
GB10 HA05 HA06 HA07 HA08
5F110 AA16 CC07 DD01 DD02 DD03
EE01 EE02 EE03 EE04 EE14
EE15 EE44 FF01 FF02 FF03
FF04 FF09 FF28 FF30 GG01
GG02 GG03 GG14 GG15 GG25
GG33 GG43 GG45 HK03 HK04
HK06 HK07 HK09 HK15 HK16
HK22 HK25 HK26 HK32 HK33
HK35 NN02 NN22 NN23 NN24
NN34 NN35 NN72 QQ09